



REC 28 APR 2004

WIPO

PCT

PCT / IB 0 4 / 0 1 2 5 4

16 APR 2004

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 27 FEV. 2004

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

BEST AVAILABLE COPY

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr



BREVET D'INVENTION

CERTIFICAT D'UTILITE

26bis, rue de Saint-Petersbourg
75800 Paris Cédex 08
Téléphone: 01 53.04.53.04 Télécopie: 01.42.94.86.54

Code de la propriété intellectuelle-livre VI

REQUÊTE EN DÉLIVRANCE

DATE DE REMISE DES PIÈCES: 24.04.2003 N° D'ENREGISTREMENT NATIONAL: 0350127 DÉPARTEMENT DE DÉPÔT: 75 DATE DE DÉPÔT: 24.04.2003	SOCIETE CIVILE S.P.I.D. Denis ROCHE 156 Bd Haussmann 75008 PARIS France
Vos références pour ce dossier: PHFR030044	

1 NATURE DE LA DEMANDE			
Demande de brevet			
2 TITRE DE L'INVENTION			
		Dispositif semiconducteur comprenant des extensions réalisées en un matériau à faible température de fusion.	
3 DECLARATION DE PRIORITE OU REQUETE DU BENEFICE DE LA DATE DE DEPOT D'UNE DEMANDE ANTERIEURE FRANCAISE		Pays ou organisation	Date N°
4-1 DEMANDEUR			
Nom		KONINKLIJKE PHILIPS ELECTRONICS N.V.	
Rue		Groenewoudseweg 1	
Code postal et ville		5621 AA EINDHOVEN	
Pays		Pays-Bas	
Nationalité		Pays-Bas	
Forme juridique		Société de droit néerlandais	
5A MANDATAIRE			
Nom		SOCIETE CIVILE S.P.I.D.	
Qualité		Liste spéciale: S008, Pouvoir général: 10473	
Affaire suivie par		Denis ROCHE	
Rue		156 Bd Haussmann	
Code postal et ville		75008 PARIS	
N° de téléphone		01 40 76 80 32	
6 DOCUMENTS ET FICHIERS JOINTS		Fichier électronique	Pages
Texte du brevet		textebrevet.pdf	11
Dessins		dessins.pdf	4
Désignation d'inventeurs		D 7, R 3, AB 1	
Pouvoir général		page 4, Abrégé: page 2, Fig.3	
7 MODE DE PAIEMENT			
Mode de paiement		Prélèvement du compte courant	
Numéro du compte client		001839	

8 RAPPORT DE RECHERCHE				
Etablissement immédiat				
9 REDEVANCES JOINTES	Devise	Taux	Quantité	Montant à payer
062 Dépôt	EURO	0.00	1.00	0.00
063 Rapport de recherche (R.R.)	EURO	320.00	1.00	320.00
Total à acquitter	EURO			320.00

La loi n°78-17 du 6 janvier 1978 relative à l'informatique aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

Signé par

Signataire: FR, Societe Civile SPID, A. Bouygues

Emetteur du certificat: DE, D-Trust GmbH, D-Trust for EPO 2.0

Fonction

KONINKLIJKE PHILIPS ELECTRONICS N.V. (Demandeur 1)

DESCRIPTION

Domaine technique de l'invention

La présente invention concerne un dispositif semiconducteur réalisé à la surface d'un substrat, comprenant des extensions d'un type particulier. Elle s'applique notamment à un transistor à effet de champ, réalisé selon la technologie MOS («Metal Oxide Semiconductor»).

Etat de la technique antérieure

Les extensions («tip regions» en anglais), aussi connues sous l'appellation LDD («Low Doped Drain»), sont des parties des zones de source et de drain d'un transistor MOS, situées contre les extrémités respectives d'un canal disposé entre la source et le drain. Elles s'étendent jusqu'à une faible profondeur sous la surface du substrat qui porte le transistor, jusqu'à 50 nanomètres environ. Elles sont en général implantées lors d'une étape spécifique, effectuée avec un faisceau d'implantation à faible énergie. Elles présentent un type de conduction identique à celui des zones de source et de drain, avec des concentrations de porteurs électriques plus faibles que celles des zones de source et de drain. Les extensions permettent un contrôle précis de la conduction électrique des zones de source et de drain au niveau des extrémités du canal. Il est alors possible d'obtenir une grande reproductibilité des caractéristiques de fonctionnement de transistors MOS fabriqués en grande série.

La réalisation des extensions d'un transistor MOS devient plus difficile à mesure que les dimensions du transistor diminuent, c'est-à-dire que le niveau d'intégration sur silicium augmente. En particulier, les éléments dopants des parties de la source et du drain ont tendance à diffuser dans les extensions, lors d'un chauffage d'activation des porteurs, même si ce chauffage est réalisé à l'aide d'un laser focalisé sur les extensions («Laser Thermal Annealing» ou LTA en anglais). L'avantage apporté par les extensions disparaît alors.

Le document US 5,710,450 divulgue une méthode de formation des extensions adaptée pour des transistors de dimensions particulièrement faibles. Il décrit plusieurs types de transistors MOS qui comprennent des portions d'un matériau semiconducteur distinct du matériau du substrat, et qui sont disposées sur le substrat à l'intérieur des zones de source et de drain. Ces portions sont utilisées comme sources d'éléments dopants pour la formation des extensions. Ces éléments dopants diffusent dans le substrat lors d'un chauffage spécifique afin de conférer aux extensions le comportement électrique désiré. La température lors du chauffage doit être comprise entre 800°C et 1000°C, afin de provoquer une diffusion efficace des éléments dopants, et conférer ainsi aux extensions la concentration désirée de porteurs électriques. Mais cette température élevée provoque

localement une fusion des matériaux à l'interface entre le substrat de silicium et des parties isolantes disposées autour de chaque transistor, connues sous l'acronyme STI (pour «Shallow Trench Insulator») dans le jargon de l'Homme du métier. Elle provoque aussi une déformation de l'électrode de grille des transistors MOS.

5

Exposé de l'invention

Un but de la présente invention est de proposer un dispositif semiconducteur d'un type nouveau, comprenant des extensions compatibles avec un niveau d'intégration élevé, et qui ne présente pas les inconvénients précités.

10

L'invention concerne un dispositif semiconducteur comprenant une électrode de grille et une couche d'isolant de grille réalisées sur une partie de la surface d'un substrat d'un premier matériau semiconducteur. L'électrode de grille et la couche d'isolant de grille sont entourées, dans un plan parallèle à la surface du substrat, d'un isolant appelé espaceur. La couche d'isolant de grille est disposée entre le substrat et l'électrode de grille. Le dispositif comprend en outre une zone de source et une zone de drain situées sous la surface du substrat, au niveau respectivement de deux côtés opposés de l'électrode de grille. La zone de source et la zone de drain contiennent chacune des porteurs électriques d'un même type déterminé, avec des premières concentrations respectives. Elles comprennent aussi chacune une portion d'un second matériau semiconducteur disposée sur le substrat en dessous du niveau de la couche d'isolant de grille selon une direction perpendiculaire à la surface du substrat. Chaque portion de second matériau s'étend au moins partiellement entre le substrat et l'espaceur, sensiblement jusqu'à un emplacement venant au droit, selon ladite direction perpendiculaire, d'un des côtés opposés de l'électrode de grille. Lesdites portions de second matériau sont dopées avec des éléments dopants pour créer des porteurs électriques dudit type déterminé, avec des secondes concentrations inférieures auxdites premières concentrations. Les portions de second matériau présentent une température de fusion inférieure à la température de fusion dudit premier matériau.

15

20

25

30

Selon l'invention, chaque portion du second matériau semiconducteur remplit, au moins partiellement, une fonction d'extension du dispositif semiconducteur. Elle peut être sélectivement fondue par chauffage à une température intermédiaire entre les températures de fusion du substrat et de l'extension. Un tel chauffage permet d'activer les porteurs électriques de cette portion sans endommager les autres éléments du dispositif. Il permet aussi de répartir de façon sensiblement uniforme les éléments dopants dans chaque portion de second matériau.

35

Lorsque le chauffage est réalisé à l'aide d'un laser, les portions de second matériau présentent avantageusement un pouvoir d'absorption d'un rayonnement lumineux supérieur au pouvoir d'absorption du premier matériau pour le même rayonnement lumineux.

Lorsque le premier matériau est à base de silicium, le second matériau peut être à base de germanium ou à base d'un alliage de silicium et de germanium (du type $\text{Si}_x\text{Ge}_{1-x}$, ou x est un nombre compris entre 0 et 1). En effet, les températures de fusion du silicium et du germanium sont respectivement de 900°C et 500°C , environ.

5 L'invention concerne aussi un procédé de fabrication d'un dispositif semiconducteur du type précédent.

Brève description des dessins

10 D'autres particularités et avantages de la présente invention apparaîtront dans la description ci-après de deux exemples de réalisation non limitatifs, en référence aux dessins annexés suivants :

- la figure 1 est une vue en coupe d'un transistor MOS réalisé selon une première variante de l'invention ;
- les figures 2 et 3 illustrent deux étapes de fabrication d'un transistor MOS selon la figure 1 ;
- 15 - les figures 4-7 illustrent des étapes de fabrication d'un transistor MOS selon une seconde variante de l'invention.

20 Dans ces figures, pour raison de clarté, les dimensions des différentes parties de circuit représentées ne sont pas en proportion avec des dimensions réelles. Toutes ces figures sont des vues en coupe d'un dispositif semiconducteur comprenant différents matériaux rapportés sur un substrat semiconducteur. Les vues en coupe sont considérées dans des plans perpendiculaires à une surface initiale du substrat. Sur les figures, des références identiques correspondent à des éléments identiques. Le substrat est placé dans la partie inférieure de chaque figure et D désigne une direction perpendiculaire à la surface

25 initiale du substrat, orientée vers le haut des figures. Les termes «sur», «sous», «au dessus de», «au dessous de», «supérieur» et «inférieur» sont utilisés dans la suite en référence à la direction D.

Exposé détaillé d'au moins un mode de réalisation de l'invention

30 Un transistor MOS est réalisé à la surface d'un substrat 100 pouvant être, par exemple, en silicium monocristallin. Conformément à la figure 1, il comporte une zone de source 4 et une zone de drain 5 réalisées par dopage dans le substrat 100, de part et d'autre d'un canal de conduction 10. Les zones 4 et 5 présentent une conduction électrique d'un même type, n ou p, distinct de celui du canal 10. Elles contiennent à cet effet des porteurs

35 électriques avec une concentration d'environ $2 \cdot 10^{18}$ porteurs par centimètre-cube.

Au dessus du canal 10, une couche d'isolant de grille 2 est disposée sur la surface S du substrat 100. Une électrode de grille 1 permet un contrôle du canal 10 au travers de la

couche 2. La couche 2 est en silice (SiO_2), en oxyde de tantale (Ta_2O_5), ou en oxyde d'hafnium (HfO_2), par exemple, et l'électrode 1 est en polysilicium, par exemple. Un espaceur isolant 3, par exemple en nitrure de silicium (Si_3N_4), entoure l'électrode 1 et a couche 2 parallèlement à la surface S.

5 Le substrat 100 est recouvert, respectivement au dessus des zones 4 et 5, de deux portions de couche de germanium 6 et 7, elles-mêmes recouvertes respectivement de deux portions de couche de silicium 8 et 9. Les portions 6 et 7 sont situées en dessous du niveau de la surface S présente au dessus du canal 10. Le matériau des couches 8 et 9 est, par exemple, du silicium conducteur. Les portions 8 et 9 protègent les portions 6 et 7 contre une éventuelle oxydation susceptible d'altérer les propriétés électriques de ces dernières. Les portions 6-8 se prolongent jusqu'au droit de côtés opposés C1 et C2 de l'électrode 1, entre l'espaceur 3 et le substrat 100. Deux portions supplémentaires 6bis et 8bis, respectivement des mêmes matériaux que les portions 6 et 7 d'une part, et 8 et 9 d'autre part, peuvent également être présentes au dessus de l'électrode 1. Les portions 8, 8bis et 9 peuvent 15 contribuer à former des parties de siliciure métallique pour la réalisation de contacts électriques sur, respectivement, la zone 4, l'électrode 1 et la zone 5.

Les portions 6 et 7 sont dopées de façon à créer, au sein de ces portions, des porteurs électriques n ou p, du même type que ceux des zones 4 et 5. La concentration de ces porteurs électriques dans les portions 6 et 7 est, par exemple, de l'ordre de $5 \cdot 10^{17}$ 20 porteurs par centimètre-cube. Les portions 6 et 7 constituent alors des extensions du transistor MOS.

On décrit maintenant un procédé de fabrication du transistor MOS précédent. Les étapes élémentaires de procédé effectuées selon des méthodes connues de l'Homme du métier ne sont pas exposées en détail. Des indications sont seulement données concernant la combinaison de ces étapes élémentaires selon un ordre chronologique d'exécution 25 déterminé, qui caractérise l'invention.

Le substrat de silicium 100 comporte initialement un puits de dopage, de type n ou p, selon le type du transistor envisagé. Conformément à la figure 2, on forme la couche 2 sur une partie P1 de la surface S du substrat 100. L'électrode 1 est ensuite formée au dessus de la couche 2, et l'espaceur 3 est disposé autour de la couche 2 et de l'électrode 1, 30 parallèlement à la surface S, selon l'une des méthodes couramment utilisées pour la fabrication de transistors MOS.

On retire alors (figure 3) deux pellicules superficielles du matériau du substrat 100, respectivement dans deux parties latérales P2 et P3 de la surface du substrat, situées de 35 deux côtés opposés de la partie P1. Chaque partie P2 ou P3 s'étend entre le substrat 100 et l'espaceur 3, sensiblement jusqu'à un emplacement venant au droit, selon la direction D, de l'un des côtés C1 ou C2 de l'électrode 2. Les deux pellicules sont retirées, par exemple, par

dissolution sélective du matériau du substrat 100 dans une solution contenant des réactifs chimiques sélectionnés pour former des composés solubles avec les atomes du substrat. Lorsque l'électrode 1 est d'un même matériau que le substrat 100, une partie P4 supérieure de l'électrode 1 peut être retirée simultanément.

5 On forme les zones de source 4 et de drain 5 situées sous la surface S du substrat 100, respectivement au niveau des deux parties latérales P2 et P3. Les zones 4 et 5 sont formées par implantation ionique, d'une façon dite «auto-alignée» par rapport aux côtés C1 et C2 de l'espaceur 3. Des molécules de diborane B₂H₄ ou de phosphine PH₃ peuvent être
10 utilisées pour l'implantation des zones 4 et 5, pour former un transistor MOS de type p ou n, respectivement. Les zones 4 et 5 contiennent alors chacune des porteurs électriques d'un même type déterminé, par exemple avec la concentration citée plus haut en relation avec la figure 1.

Eventuellement, les zones 4 et 5 peuvent être implantées avant le retrait des pellicules superficielles dans les parties latérales P2 et P3.

15 On forme sur le substrat 100, dans chaque partie latérale P2 et P3, une portion 6, respectivement 7, d'un matériau semiconducteur d'extension distinct du matériau du substrat 100. Ce matériau d'extension possède une température de fusion inférieure à la température de fusion du matériau du substrat 100. Lorsque que le substrat 100 est en silicium, le matériau d'extension est, par exemple, du germanium. Chaque portion 6 ou 7 se
20 prolonge sensiblement jusqu'à un emplacement venant au droit, selon la direction D, du côté C1 ou C2 de l'électrode 1 correspondant à ladite partie latérale. Les portions 6 et 7 contiennent des éléments dopants, tels que des atomes de bore ou de phosphore, de façon à créer des porteurs électriques du même type déterminé que les zones 4 et 5. Les éléments dopants des portions 6 et 7 peuvent être présents initialement dans le matériau d'extension
25 lors de sa formation, ou être apportés par la suite lors d'une étape d'implantation du matériau d'extension.

Les portions 6 et 7 sont formées, par exemple, en utilisant un procédé de dépôt chimique en phase vapeur («Chemical Vapour Deposition» en anglais, ou CVD), à partir de précurseurs organométalliques contenant des atomes du matériau d'extension. Une couche
30 continue du matériau d'extension est alors obtenue, qui recouvre l'ensemble du substrat 100, de l'espaceur 3 et de l'électrode 1. En combinant un masquage et une gravure, des parties de cette couche sont retirées de façon à ne laisser que les portions 6, 6bis et 7.

On chauffe ensuite les portions 6 et 7 jusqu'à une température intermédiaire entre les températures de fusion respectives du matériau du substrat 100 et du matériau
35 d'extension. Un faisceau laser peut être utilisé pour ce chauffage, qui permet de chauffer sélectivement des régions du transistor comprenant les portions 6 et 7. Dans ce cas, le matériau d'extension est avantageusement choisi de sorte qu'il présente un pouvoir

d'absorption du faisceau laser supérieur au pouvoir d'absorption du faisceau laser par le matériau du substrat 100. Les portions 6 et 7 sont ainsi fondues. Une fois refroidies, elles contiennent des porteurs électriques selon une concentration sensiblement uniforme, et inférieure à la concentration de porteurs électriques dans les zones 4 et 5. Eventuellement, ce chauffage des portions 6 et 7 peut servir simultanément de chauffage d'activation des porteurs électriques des zones 4 et 5.

On dépose enfin les portions d'encapsulation 8 et 9 respectivement au dessus des portions 6 et 7. Le matériau des portions 8 et 9 est, par exemple, du silicium. Un procédé analogue à celui de formation des portions 6 et 7 peut être utilisé, adapté au matériau d'encapsulation utilisé. Eventuellement, une portion d'encapsulation 8bis peut être simultanément formée au dessus de la portion 6 bis.

Selon une première variante du procédé de fabrication (figure 1), correspondant aux figures 1 à 3, les portions 6 et 7 sont formées de sorte qu'un interstice libre subsiste entre la surface supérieure de chaque portion 6, 7 et la surface inférieure de l'espaceur 3 du même côté de l'électrode 1. Les portions d'encapsulation 8, 9 sont alors déposées de sorte que chaque portion d'encapsulation 8, 9 s'étend dans l'interstice entre l'espaceur 3 et la portion 6 ou 7 au dessus de laquelle elle est disposée. Elle s'étend sensiblement jusqu'à une limite située au droit, selon la direction D, du côté C1 ou C2 de l'électrode 1 correspondant à la portion d'encapsulation considérée.

Les figures 4-6 correspondent à une seconde variante de l'invention. A partir de la configuration de la figure 2, on retire sélectivement l'espaceur 3, par exemple par dissolution du matériau de l'espaceur 3 dans une solution comprenant des réactifs chimiques spécialement sélectionnés. La configuration du transistor représentée sur la figure 4 est alors obtenue. Avant son retrait, l'espaceur 3 a pour fonction de limiter l'implantation des zones 4 et 5 à distance de chaque côté de la couche 2.

On dépose alors, de façon isotrope, une fine couche 30 d'un matériau de protection, par exemple du nitrure de silicium (Si_3N_4) sur le substrat 100, sur les extrémités de la couche 2, et sur les côtés découverts C1 et C2 et la face supérieure de l'électrode 1. La couche 30 a une épaisseur de 10 nanomètres par exemple. Dans la suite du procédé d'élaboration du transistor, la couche 30 peut réaliser une séparation entre des contacts électriques pris sur la zone 4 et sur l'électrode 1, et, de la même façon, entre des contacts électriques pris sur la zone 5 et sur l'électrode 1. Pour cette raison, et parce qu'elle se situe à la place de l'espaceur 3, la couche 30 est aussi appelée espaceur.

On expose ensuite la couche 30, par sa surface supérieure, à un plasma de gravure directionnelle, dont la direction de bombardement est parallèle à la direction D. La couche 9 est ainsi éliminée dans ses parties orientées perpendiculairement à la direction D. La configuration du transistor selon la figure 5 est ainsi obtenue.

On retire alors des pellicules superficielles du matériau du substrat 100 dans les parties P2 et P3, de la même façon que précédemment. Selon la configuration du transistor représentée sur la figure 6, l'épaisseur des pellicules retirées, selon la direction D, est supérieure à l'épaisseur de la couche 30, mesurée parallèlement à la surface S.

5 Des portions de matériau d'extension 6 et 7, formées de la façon décrite plus haut, comportent alors, en plus de parties de couches parallèles à la surface S, des rebords parallèles à la direction D qui recouvrent le matériau du substrat 100 sous la couche 30.

10 Le procédé de fabrication du transistor MOS est ensuite poursuivi de la façon décrite plus haut. Une implantation de dopage des portions 6 et 7 est effectuée si celles-ci ne comportent pas intrinsèquement des quantités suffisantes de porteurs électriques. Puis les portions 6 et 7 sont chauffées jusqu'à une température supérieure à la température de fusion du matériau d'extension. Des portions d'encapsulation 8 et 9 peuvent ensuite être disposées sur les portions 6 et 7.

15 Selon une amélioration des première et seconde variantes de l'invention décrites ci-dessus, des portions d'une fine couche d'un alliage de silicium et de germanium est déposée dans les parties latérales P2 et P3. Ce dépôt est effectué entre le retrait des pellicules superficielles de matériau du substrat 100 et la formation des portions 6 et 7. De telles portions d'un alliage ayant une composition chimique intermédiaire entre les compositions respectives des matériaux du substrat 100 et des portions 6 et 7 réduit les contraintes
20 d'interface entre ces matériaux. Elles facilitent notamment la croissance du matériau d'extension dans des conditions d'hétéroépitaxie.

L'invention a été décrite dans le cadre de la réalisation d'un transistor MOS. Elle peut être appliquée de même à tout dispositif semiconducteur comprenant une jonction de surface, désignée par USJ (pour «Ultra Shallow Junction» en anglais) qui nécessite
25 l'utilisation d'une extension.

Aucun signe de référence entre parenthèses dans le présent texte ne doit être interprété de façon limitative. Le verbe "comprendre" et ses conjugaisons doivent également être interprétés de façon large, c'est à dire comme n'excluant pas la présence non seulement
30 d'autres éléments ou étapes que ceux listés après ledit verbe, mais aussi d'une pluralité d'éléments ou d'étapes déjà listés après ledit verbe et précédés du mot "un" ou "une".

REVENDEICATIONS

1. Dispositif semiconducteur comprenant :
 - une électrode de grille (1) et une couche d'isolant de grille (2) réalisées sur une
 5 partie (P1) de la surface (S) d'un substrat d'un premier matériau semiconducteur (100)
 ayant une température de fusion déterminée, et entourées par un espaceur isolant (3 ; 30)
 dans un plan parallèle à la surface du substrat, la couche d'isolant de grille (2) étant
 disposée entre le substrat (100) et l'électrode de grille (1), et
 - une zone de source (4) et une zone de drain (5) situées sous la surface du substrat
 10 (S) au niveau respectivement de deux côtés opposés de l'électrode de grille (1), contenant
 chacune des porteurs électriques d'un même type déterminé, avec des premières
 concentrations respectives, et comprenant chacune une portion d'un second matériau
 semiconducteur (6, 7) disposée sur le substrat en dessous du niveau de la couche d'isolant
 de grille (2) selon une direction (D) perpendiculaire à la surface (S) du substrat, chaque
 15 portion de second matériau (6, 7) s'étendant au moins partiellement entre le substrat (100)
 et l'espaceur (3 ; 30), sensiblement jusqu'à un emplacement venant au droit, selon ladite
 direction perpendiculaire (D), d'un côté de l'électrode de grille (C1, C2), lesdites portions de
 second matériau étant dopées avec des éléments dopants pour créer des porteurs
 20 électriques dudit type déterminé avec des secondes concentrations inférieures auxdites
 premières concentrations, et lesdites portions de second matériau présentant une
 température de fusion inférieure à la température de fusion du premier matériau.
2. Dispositif selon la revendication 1, dans lequel lesdites portions de second matériau
 25 présentent un pouvoir d'absorption d'un rayonnement lumineux supérieur au pouvoir
 d'absorption du premier matériau pour le même rayonnement lumineux.
3. Dispositif selon la revendication 1, dans lequel le premier matériau est à base de
 silicium et le second matériau est à base de germanium ou à base d'un alliage de silicium et
 30 de germanium.
4. Dispositif selon la revendication 1, comprenant en outre deux portions
 d'encapsulation (8, 9) dudit second matériau, disposées respectivement par dessus les
 portions de second matériau (6, 7), d'un côté opposé au substrat (100).
- 35 5. Dispositif selon la revendication 4, dans lequel chaque portion d'encapsulation (8, 9)
 s'étend entre l'espaceur (3) et la portion de second matériau (6, 7) au dessus de laquelle
 ladite portion d'encapsulation est disposée, sensiblement jusqu'à une limite située au droit,

selon ladite direction perpendiculaire à la surface du substrat (D), du côté de l'électrode de grille (C1, C2) correspondant à ladite seconde portion d'encapsulation.

6. Dispositif selon l'une des revendications précédentes, caractérisé en ce que ledit
5 dispositif est un transistor MOS.

7. Procédé de fabrication d'un dispositif semiconducteur, comprenant les étapes successives suivantes :

a) on forme une couche d'isolant de grille (2) sur une partie (P1) d'une surface (S)
10 d'un substrat (100) d'un premier matériau semiconducteur ayant une température de fusion déterminée ;

b) on forme une électrode de grille (1) au dessus de la couche d'isolant de grille (2) ;

c) on forme un espaceur isolant (3 ; 30) disposé autour de la couche d'isolant de grille (2) et de l'électrode de grille (1), parallèlement à la surface du substrat (S) ;

d) on retire deux pellicules superficielles du premier matériau respectivement dans
15 deux parties latérales de la surface du substrat (P2, P3) situées de deux côtés opposés (C1, C2) de la partie de surface du substrat (P1) portant la couche d'isolant de grille (2) et l'électrode de grille (1), chaque partie latérale (P2, P3) s'étendant entre le substrat (100) et l'espaceur (3 ; 30) sensiblement jusqu'à un emplacement venant au droit de l'un des côtés
20 opposés de l'électrode de grille (C1, C2), selon une direction (D) perpendiculaire à la surface du substrat (S) ;

e) on forme une zone de source (4) et une zone de drain (5) situées sous la surface du substrat (S) respectivement au niveau desdites deux parties d'électrodes de la surface du substrat (P2, P3), et contenant chacune des porteurs électriques d'un même type déterminé
25 avec des premières concentrations respectives ;

f) on forme sur le substrat (100), dans chaque partie latérale (P2, P3), une portion
(6, 7) d'un second matériau semiconducteur sensiblement jusqu'à un emplacement venant au droit, selon ladite direction perpendiculaire (D), du côté opposé de l'électrode de grille (C1, C2) correspondant à ladite partie latérale, lesdites portions de second matériau (6, 7)
30 contenant des éléments dopants pour créer des porteurs électriques du type déterminé, et ayant une température de fusion inférieure à ladite température de fusion du premier matériau ;

g) on chauffe les portions de second matériau (6, 7) jusqu'à une température intermédiaire entre les températures de fusion respectives des premier et second matériaux,
35 de sorte que les portions de second matériau contiennent des porteurs électriques selon une seconde concentration inférieure auxdites premières concentrations.

8. Procédé selon la revendication 7, suivant lequel, lors de l'étape g), on chauffe lesdites portions de second matériau (6, 7) en utilisant un faisceau laser.

5 9. Procédé selon la revendication 7, suivant lequel, après l'étape f), on dépose des portions d'encapsulation (8, 9) respectivement au dessus desdites portions de second matériau (6, 7), d'un côté opposé au substrat (100).

10. Procédé selon la revendication 7, suivant lequel l'étape e) est effectuée avant l'étape d).

FIG. 2

2/4

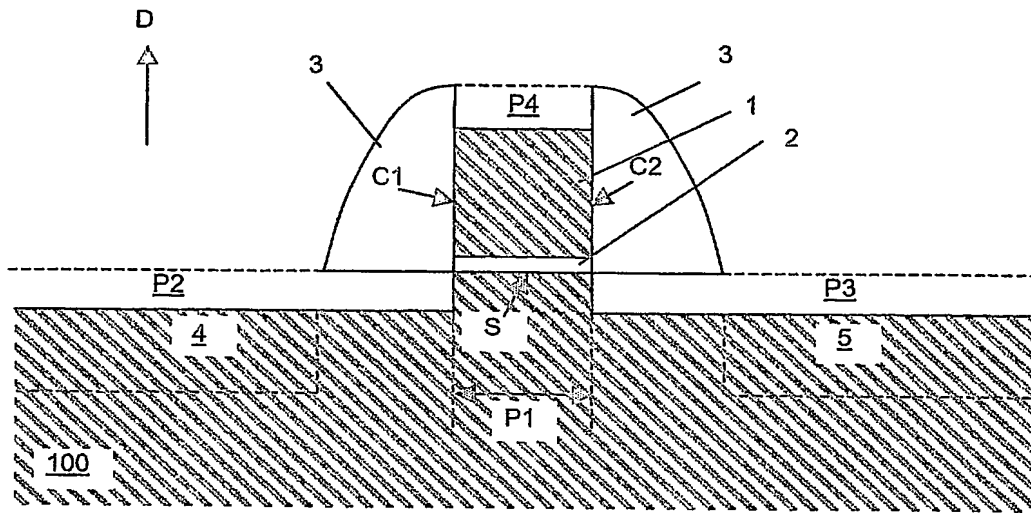


FIG. 3

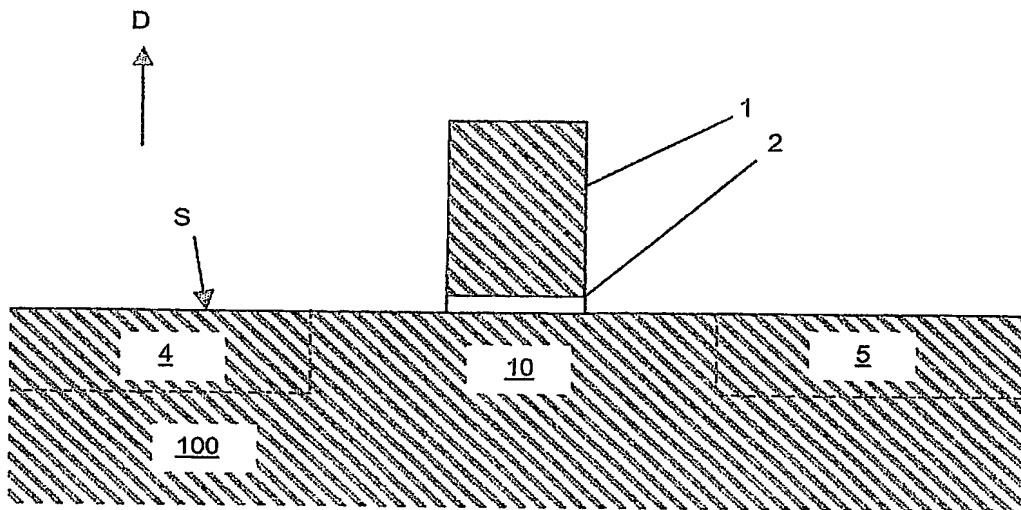


FIG. 4

3/4

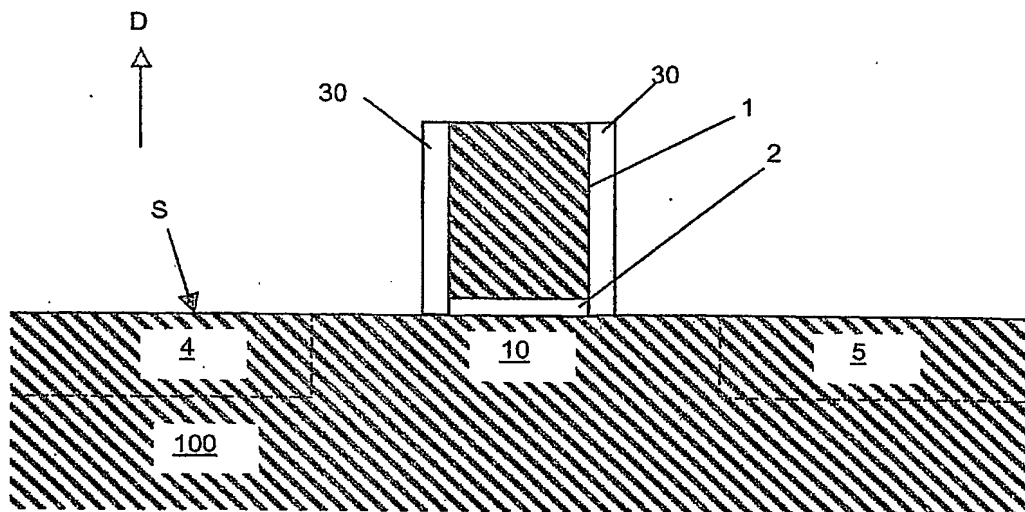


FIG. 5

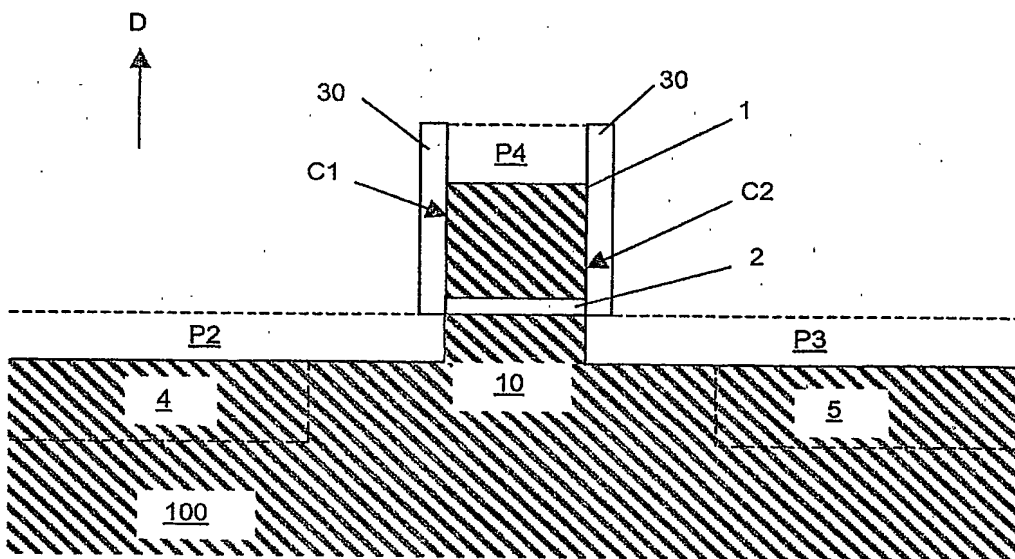


FIG. 6

4/4

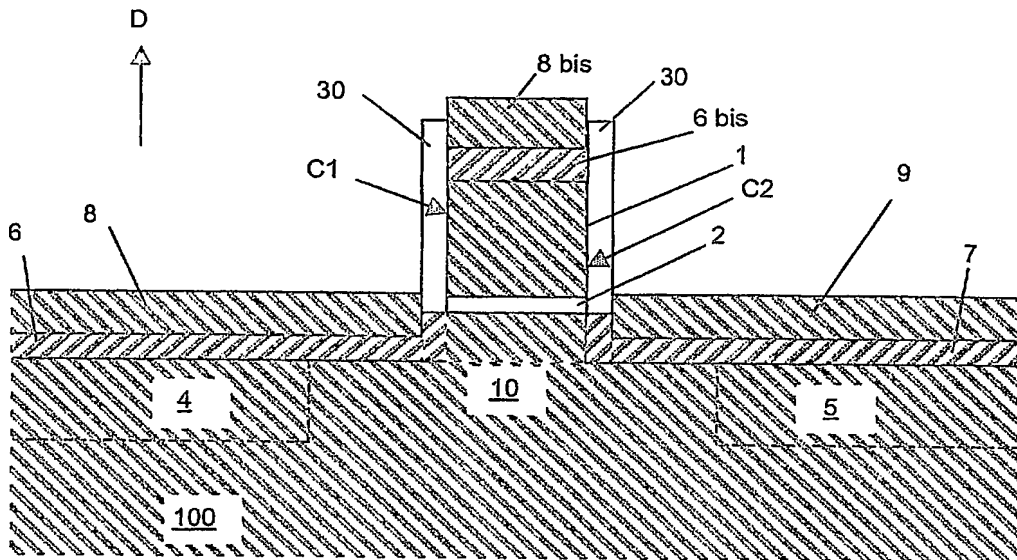


FIG. 7



BREVET D'INVENTION CERTIFICAT D'UTILITE

Désignation de l'inventeur

Vos références pour ce dossier	PHFR030044
N° D'ENREGISTREMENT NATIONAL	
TITRE DE L'INVENTION	
	Dispositif semiconducteur comprenant des extensions réalisées en un matériau à faible température de fusion.
LE(S) DEMANDEUR(S) OU LE(S) MANDATAIRE(S):	
DESIGNE(NT) EN TANT QU'INVENTEUR(S):	
Inventeur 1	
Nom	EL FARHANE
Prénoms	Rebha
Rue	156 Bd Haussmann
Code postal et ville	75008 PARIS
Société d'appartenance	SPID

La loi n°78-17 du 6 janvier 1978 relative à l'informatique aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.